



まえがき

第1部	本書の使い方	7
■ 第1章	試験制度の概要	8
■ 第2章	エンベデッドシステムスペシャリスト試験の 出題ポイント	22
■ 第3章	本書の学習方法	27
■ 第4章	エンベデッドシステムスペシャリスト試験に 関連する表記ルール	29
第2部	午前II（専門知識）試験の対策	33
■ 第1章	午前II（専門知識）問題の学習にあたって	34
■ 第2章	論理回路	35
■ 第3章	入出力とバスアーキテクチャ	65
■ 第4章	A/D変換とD/A変換	86
■ 第5章	センサとアクチュエータ	101
■ 第6章	制御機能	120
■ 第7章	リアルタイムOSの機能	130
■ 第8章	組込みシステムの基礎知識	155

第3部 ●●●●●●	午後Ⅰ試験の対策	181
	■ 第1章 午後Ⅰ・Ⅱ記述式問題の解法ポイント	182
	■ 第2章 共通問題	205
	■ 第3章 ソフトウェア分野の問題	242
	■ 第4章 ハードウェア分野の問題	287
第4部 ●●●●●●	午後Ⅱ試験の対策	345
	■ 第1章 ハードウェア分野の問題	346
	■ 第2章 ソフトウェア分野の問題	405

索引

著者紹介

商標表示

各社の登録商標及び商標、製品名に対しては、特に注記のない場合でも、これを十分に尊重いたします。

エンベデッドシステムスペシャリスト試験の 出題ポイント

2.1 エンベデッドシステムスペシャリスト試験の概要

エンベデッドシステムスペシャリストの対象者像は、次のように規定されています。業務と役割、期待する技術水準、レベル対応も示されています。

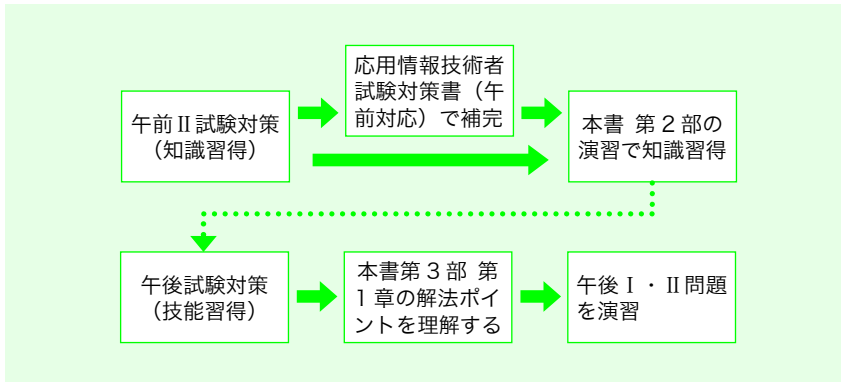
対象者像	高度 IT 人材として確立した専門分野をもち、組込みシステム開発に関係する広い知識や技能を活用し、最適な組込みシステム開発基盤の構築や組込みシステムの設計・構築・製造を主導的に行う者
業務と役割	<p>組込みシステムに関するハードウェアとソフトウェアの要求仕様に基づき、組込みシステムの開発工程において、開発・実装・テストを実施する業務に従事し、次の役割を主導的に果たすとともに、下位者を指導する。</p> <ol style="list-style-type: none"> ① 組込みシステムを対象として、機能仕様とリアルタイム性を最適に実現するハードウェアとソフトウェアのトレードオフに基づく機能負担を回り、設計書・仕様書の作成を行う。 ② 組込みシステム開発における各工程の作業を主導的に実施する。 ③ 特定の技術・製品分野についての高度で専門的な知識・開発経験を基に、開発する当該分野の専門家から技術上の知識を獲得して、開発の各工程に反映させる。 ④ 開発を遂行する上での開発環境を整備し改善する。
期待する技術水準	<p>要求される機能、性能、品質、信頼性、セキュリティなどをハードウェアへの要求とソフトウェアへの要求に適切に分解し、最適な組込みシステムとして実現するため、次の知識・実践能力が要求される。</p> <ol style="list-style-type: none"> ① 機能仕様に基づき、ハードウェアとソフトウェアの適切な組合せを実現し、組込みシステム開発における各工程を主導的に遂行できる。 ② 特定の技術・製品分野についての高度で専門的な知識、開発経験を基に、開発する当該分野の専門家から技術上の知識を獲得して、組込みシステム開発の各工程に反映できる。 ③ 組込みシステム開発を行う上で効果的な開発環境の構築と改善ができる。
レベル対応	<p>共通キャリア・スキルフレームワークの 人材像：テクニカルスペシャリストのレベル4の前提要件</p>

図表 2-1 エンベデッドシステムスペシャリストの対象者像

本書の学習方法

本書は、「専門知識と午後問題の重点対策」という書名が示すように、午前Ⅱ試験で必要とされる専門知識と午後問題の解法ポイントをまとめ、短時間で効率良く試験対策ができるように構成されています。

本書は、午前Ⅱ試験対策と午後試験対策に大きく分かれています。専門知識が不十分な場合は、午前Ⅱ試験対策から始めてください。午前Ⅱ試験対策としては、エンベデッドシステム試験固有の内容に絞っており、午前Ⅱ試験のうち技術レベル3のもの（例えば、一般的なコンピュータハードウェア、OS 関連など）は含めておりませんので、ほかの応用情報技術者試験などの対策書を利用して知識を補完してください。



(1) 本書の構成

第2部の午前Ⅱ試験対策では、過去に出題された定型的な問題を、第2章から第8章までの七つに分類し、各章ごとに学習目標を示した上で先に問題を解く形式で解説を進めます。第8章では、過去に出題された問題以外に、午前問題の形式で典型的な計算問題も収録しています。この計算問題は、どちらかというとなら午後試験対策向けになります。

第3部の午後Ⅰ試験対策では、第1章で午後Ⅰ・Ⅱ記述式問題の解法ポイン

午前Ⅱ（専門知識）問題の学習にあたって

ここでは、過去のエンベデッドシステム試験（一部分はマイコン応用システム試験）に出題された問題、及び過去の午後問題などを参考にして作成したオリジナル問題を題材として、午前Ⅱ試験及び午後Ⅰ試験、午後Ⅱ試験の解答に必要な基礎的知識を学びます。ほかの情報処理技術者試験と同様に、エンベデッドシステムスペシャリスト試験にも午前Ⅱ試験の出題範囲（技術レベル4のみ）が提示されています。中分類として、コンピュータ構成要素、ソフトウェア、ハードウェア、システム開発技術の四つに分類されていますが、この分類はほかの情報処理技術者試験と共通しています。エンベデッドシステムスペシャリスト試験は、この分類の中でもハードウェアの内容に偏っているため、本書では独自に問題を分類して章立てとしました。第2部の章立てと午前の出題範囲（技術レベル4のみ）との対応は、次のとおりです。

第2部の章立て	午前の出題範囲（技術レベル4のみ）			
	コンピュータ構成要素	ソフトウェア	ハードウェア	システム開発技術
第2章 論理回路	○	—	◎	—
第3章 入出力とバスアーキテクチャ	◎	—	○	—
第4章 A/D変換とD/A変換	—	—	◎	—
第5章 センサとアクチュエータ	—	—	◎	—
第6章 制御機能	—	—	◎	—
第7章 リアルタイムOSの機能	—	◎	—	—
第8章 組込みシステムの基礎知識	○	○	◎	○

(◎：主に対応，○：部分的に対応，—：非対応)

図表 第2部の章立てと午前の出題範囲（技術レベル4のみ）との対応

収録されている問題の問題番号の右側には、**I**、**II**、**III**、**IV**で問題のレベル（レベル1, 2, 3, 4）を表してあります。**IV★**は、IVの中でも特に高度な内容の問題であることを示します。午前Ⅱ問題として選定した問題ですので、大部分の問題は**IV**です。**IV★**は、学習の最初の段階では省略してよいかもしれません。

第2章

論理回路

この章には，組み込み機器のハードウェアの基本構成要素である，論理回路の基本原理に関する問題を収録しています。



学習目標

- ・トランジスタのスイッチング素子としての動作を理解している。
- ・AND回路，OR回路，NOT回路などの基本的な論理回路を理解している。
- ・ブール代数を用いて論理式を展開できる。
- ・フリップフロップの基本動作を理解している。
- ・オペアンプ，微分回路，積分回路及びそれらの回路に関連する時定数などの知識がある。



関連知識

ブール代数式





念のため**ブール代数式**についてまとめておきます。ほとんど証明は必要ないと思いますが，ベン図などを活用して，ご自身で確認してください。

$$\begin{aligned}
 1 \cdot A &= A & 0 + A &= A \\
 0 \cdot A &= 0 & 1 + A &= 1 \\
 A \cdot A &= A & A + A &= A \\
 A \cdot \bar{A} &= 0 & A + \bar{A} &= 1 \\
 A \cdot B &= B \cdot A & A + B &= B + A \\
 (A \cdot B) \cdot C &= A \cdot (B \cdot C) & (A + B) + C &= A + (B + C) \\
 A + B \cdot C &= (A + B) \cdot (A + C) & A \cdot (B + C) &= A \cdot B + A \cdot C \\
 A \cdot (A + B) &= A & A + A \cdot B &= A \\
 \overline{A \cdot B} &= \bar{A} + \bar{B} & \overline{A + B} &= \bar{A} \cdot \bar{B} \quad (\text{ド・モルガンの法則})
 \end{aligned}$$



演習問題 ● Exercise

問4 Ⅲ

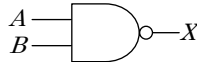
論理式 $X = \bar{A} \cdot B + A \cdot \bar{B} + \bar{A} \cdot \bar{B}$ と同じ結果が得られる論理回路はどれか。
 ここで， は論理積 (AND)， は論理和 (OR)， は否定論理積 (NAND)， は否定論理和 (NOR) を表す。

(H21 春-AP 問24)

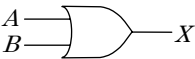
ア



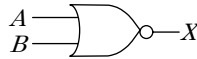
イ



ウ



エ



午後I・II記述式問題の解法ポイント

午後試験は、午後I試験・午後II試験の二つの試験で構成されています。合格するためには、午後I試験・午後II試験のそれぞれに対して基準点以上の得点を取る必要があります。基準点は、本書の第1部の第1章 試験制度の概要にも記されているように、**100点満点で60点**です。すなわち、午後I試験・午後II試験のそれぞれに対して60点以上の得点が得られれば合格することになります。試験では100点を取る必要はありません。**70点**ぐらいを目標にして学習しましょう。

午後I試験は、午後II試験に比べて若干解きやすい問題が多いように感じますが、出題される問題そのものには午後I試験・午後II試験で違いがあるようには思えません。おおまかにいうと問題量と解答時間が違うだけです。そこで、午後I試験・午後II試験をまとめて、その解法ポイントを解説します。

午後I試験は、必須問題が1問と1問選択の選択問題が2問の合計3問、午後II試験は、1問選択の選択問題が2問出題されています。選択問題は、ハードウェア分野とソフトウェア分野それぞれ1問で合計2問の出題です。当然、自分の得意分野の問題を選択することでしょう。しかし、学習の際は分野を特定せず、共通する内容も多いので、ぜひ**両分野の問題を解いてみてください**。

現在、エンベデッドシステムは様々な製品に使われています。そのため、出題される問題の題材も携帯インターネットテレビ、ガスメータ、天体望遠鏡、電気自動車、宅配荷物受取システム等あらゆる商品・システムがその対象となっています。しかし、題材になっている商品・システムの専門的な知識は特に必要ありません。問題を解くために必要な知識・情報は問題文の中に記載されているというのが、午後試験の特徴となっています。極端な言い方をすると、**問題の解答は問題文の中にある**と言ってもよいでしょう。

この観点から見ると、午後試験の解法ポイントは、問題文を短時間で読みこなし、その内容を理解することができるエンベデッドシステムの基本的な学力を身に付けるということになるでしょう。

過去に出題された問題を分析してみると、問題の出題者は、題材となっているシステムにある程度携わっていた経験者であるような印象を受けますが、問

第2章

共通問題



問 1

踏切制御装置の設計

(H18 春-ES 午後 I 問 2)

踏切制御装置の設計に関する次の記述を読んで、設問 1～3 に答えよ。

複線区間用の踏切制御装置を開発している。図 1 に、踏切制御装置の概要を示す。

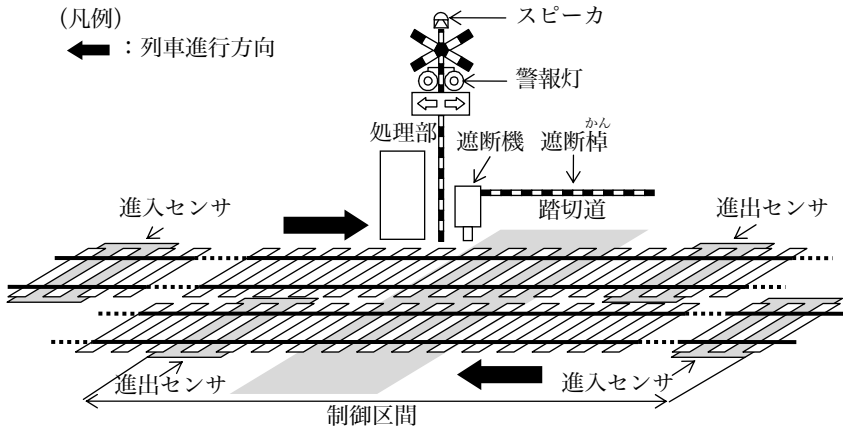


図 1 踏切制御装置の概要

踏切制御装置では、踏切の制御区間に列車が存在するかどうかを判断するために、進入センサと進出センサを対にして上りと下りの線路にそれぞれ設置する。進入センサが制御区間への列車進入を検知すると、踏切制御装置の処理部は警報灯を点滅させ、スピーカから警報音を鳴らす。その後、時間が経過し

ソフトウェア分野の問題



問 1

複合機

(H18 春-ES 午後I問3)

複合機に関する次の記述を読んで、設問1～3に答えよ。

複合機は、スキャナで読み込んだ原稿を印刷するコピー機能と、LAN 経由で受け取った原稿を印刷するプリンタ機能をもつ。

〔複合機のハードウェア構成〕

複合機のハードウェア構成を、図1に示す。複数枚の原稿をページ順にそろえて複数部印刷するために、印刷する原稿の画像データは、圧縮した形で画像蓄積用メモリに格納される。ここで、スキャナで読み込む原稿、及びLAN 経由で受け取る原稿の枚数は、それぞれ単独では画像蓄積用メモリに格納できる最大枚数以下に制限されているものとする。

なお、スキャナで読み取った原稿の画像データは画像処理エンジンで圧縮される。LAN 経由ではあらかじめ圧縮された画像データを受け取る。

第4章

ハードウェア分野の問題



問 1

路線バスの車内に設置される総合案内システム (H18春・ES 午後I問4)

路線バスの車内に設置される総合案内システムに関する次の記述を読んで、設問1～3に答えよ。

路線バスの車内に設置される総合案内システムを開発している。総合案内システムは、次の停留所名や沿線の各種情報、コマーシャル、ニュース、天気予報などを、LED表示及び音声で案内する。図1に、総合案内システムの構成を示す。

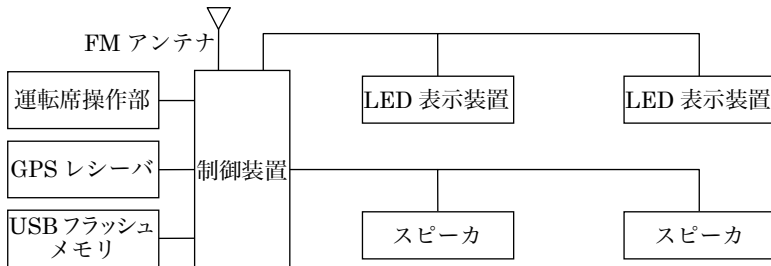


図1 総合案内システムの構成

〔制御装置〕

図2に、制御装置のハードウェア構成を示す。



数字

1 相励磁	116
1-2 相励磁方式	116
2 相励磁	116
3 ステートバッファ	45

A

A/D 変換	96
Ah (アンペアアワー)	163
AND 回路	38, 40

C

CAN	167
CdS	110
CMOS	37, 164

D

D/A コンバータ	98
D/A 変換	98
DAC	98
DC 電源線	160
DMA	75
DMAC	75
DMA 制御方式	76
DSP	129
D 動作	121
D フリップフロップ	50

E

EMI	162
EV	119

F

FPGA	169, 170
------	----------

G

GND 線	160
-------	-----

I

I/O マップド I/O 方式	75
ICE	158
I 動作	121

L

LED	110
LIN	167

N

NAND ゲート	70
NOT (否定) 回路	40, 57

O

OR 回路	40
-------	----

P

PCI Express	67
PCI バス	67
PCM	96
PID 制御	121
PLD	170
PLL	127, 128
PLL 回路	102
PROM	170
PWM	55, 113
PWM 制御	112
P 操作	145, 147
P 動作	121

R

RS-232C	85
RS フリップフロップ	46